

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Shigeru HANEDA, et al.

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: MAGNETO-RESISTANCE EFFECT ELEMENT

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number _____, filed _____, is claimed pursuant to the provisions of **35 U.S.C. §120**.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of **35 U.S.C. §119(e)**:
Application No. _____ **Date Filed** _____
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of **35 U.S.C. §119**, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

COUNTRY

Japan

APPLICATION NUMBER

2002-287804

MONTH/DAY/YEAR

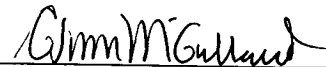
September 30, 2002

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. _____ filed _____
- ☐ were submitted to the International Bureau in PCT Application Number _____
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. _____ filed _____; and
- ☐ (B) Application Serial No.(s) _____
☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland
Registration Number 21,124

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

日 本 国 特 許 庁

JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 9月30日

出 願 番 号

Application Number:

特願2002-287804

[ST.10/C]:

[JP 2002-287804]

出 願 人

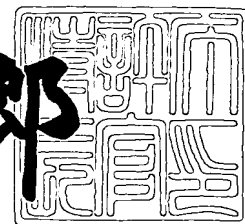
Applicant(s):

株式会社東芝

2003年 4月 4日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3023466

【書類名】 特許願

【整理番号】 13838201

【提出日】 平成14年 9月30日

【あて先】 特許庁長官殿

【国際特許分類】 G11B 5/39

【発明の名称】 磁気抵抗効果素子

【請求項の数】 7

【発明者】

 【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝
研究開発センター内

 【氏名】 羽根田 茂

【発明者】

 【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝
研究開発センター内

 【氏名】 中 村 志 保

【発明者】

 【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝
研究開発センター内

 【氏名】 大 沢 裕 一

【特許出願人】

 【識別番号】 000003078

 【住所又は居所】 東京都港区芝浦一丁目1番1号

 【氏名又は名称】 株式会社 東 芝

【代理人】

 【識別番号】 100075812

 【弁理士】

 【氏名又は名称】 吉 武 賢 次

【選任した代理人】

 【識別番号】 100088889

【弁理士】

【氏名又は名称】 橋 谷 英 俊

【選任した代理人】

【識別番号】 100082991

【弁理士】

【氏名又は名称】 佐 藤 泰 和

【選任した代理人】

【識別番号】 100096921

【弁理士】

【氏名又は名称】 吉 元 弘

【選任した代理人】

【識別番号】 100103263

【弁理士】

【氏名又は名称】 川 崎 康

【手数料の表示】

【予納台帳番号】 087654

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 磁気抵抗効果素子

【特許請求の範囲】

【請求項 1】

第 1 磁性体層と、前記第 1 磁性体層に積層したスペーサ層と、前記スペーサ層に積層した第 2 磁性体層と、前記第 1 磁性体層、前記スペーサ層、および前記第 2 磁性体層からなる積層構造に隣接する絶縁層と、前記絶縁層に隣接するゲート電極とを備え、前記ゲート電極に印加する電圧により磁気感应領域を制御することを特徴とする磁気抵抗効果素子。

【請求項 2】

前記ゲート電極に印加する電圧により、前記第 1 および第 2 磁性体層の少なくとも一方の磁性体層の磁気感应領域のサイズが変えられることを特徴とする請求項 1 記載の磁気抵抗効果素子。

【請求項 3】

前記磁気感应領域は狭窄されることを特徴とする請求項 2 記載の磁気抵抗効果素子。

【請求項 4】

前記ゲート電極に印加する電圧により、前記スペーサ層の導通領域のサイズが変えられることを特徴とする請求項 1 記載の磁気抵抗効果素子。

【請求項 5】

前記導通領域は、狭窄されることを特徴とする請求項 4 記載の磁気抵抗効果素子。

【請求項 6】

前記ゲート電極に印加する電圧により磁気感应領域が変えられる前記磁性体層は、III-V 族系半導体結晶、II-VI 族系半導体結晶、IV 族系半導体結晶、カルコパイライト系半導体結晶、および非晶質系半導体結晶のいずれか一つを母体とし、磁性元素として遷移金属元素および希土類元素のうちの少なくとも一つ含んでいることを特徴とする請求項 2 または 3 記載の磁気抵抗効果素子。

【請求項 7】

前記スペーサ層が、III-V族系半導体結晶、あるいは、II-VI族系半導体結晶、あるいは、IV族系半導体結晶、あるいは、カルコパイライト系半導体結晶、あるいは、非晶質系半導体結晶であることを特徴とする請求項4または5記載の磁気抵抗効果素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、磁気抵抗効果素子に関する。

【0002】

【従来の技術】

今日、磁気記録密度の向上に伴い、ハードディスクドライブの高密度化が要求され、微小ビットを高感度で検出する磁気抵抗効果素子を用いた磁気ヘッドの研究が進められている。微小ビットを高感度で検出するためには、磁気抵抗効果素子の磁気感応領域のサイズを小さくすることが必要となる。

【0003】

従来の磁気抵抗効果素子における磁気感応領域のサイズ制御（例えば、現時点では150nmが限界）は、積層膜厚と加工によって微小ビットに対応した微小素子を形成することにより行われている。しかしながら、形成サイズが加工限界に近づきつつあるため、素子作製が困難になってきている。

【0004】

一方、磁性体と半導体とを組み合わせた磁性半導体を用いた磁性半導体/半導体/磁性半導体の3層構造における磁気抵抗効果素子が提案されている。しかしながら、素子全体での動作のため微小領域での動作ができない（例えば、非特許文献1参照）。

【0005】

さらに、III-V族希薄磁性半導体(In,Mn)Asや(Ga,Mn)Asにおいて、キャリア濃度の制御を外部からFET動作によって行い、磁性半導体の磁化状態を制御した報告がなされている。しかしながら、これらも素子全体の磁化を制御するため微小領域での動作ができない（例えば、非特許文献2参照）。

【 0 0 0 6 】

ところで、磁性体層と半導体層を利用した磁気抵抗効果素子が知られている（例えば、特許文献 1 参照）。この素子も素子全体での磁気抵抗効果を利用した素子であるために、微小領域での動作ができない。また、磁化領域をスペーサ層によって分割した構造が知られている（例えば、特許文献 2 参照）。この構造では、スペーサ層に対して外部からの刺激により磁化領域間の磁氣的相互作用を変化させて、磁化領域の磁化制御に用いるものであるため、磁気抵抗効果素子としての機能は有してはいない。

【 0 0 0 7 】

【非特許文献 1】

N. Akiba et al.:Appl. Phys. Lett., 73, 2122 (1998), D. Chiba et al.:Physica E, 10, 278 (2001)

【非特許文献 2】

H. Ohno et al.:Nature, 408, 944 (2000), D. Chiba et al.:Extended Abstracts of the 7th symposium on the PASPS, A7, p25 (2001)

【特許文献 1】

特許登録第 3 2 5 3 6 9 6 号公報

【特許文献 2】

特開平 1 1 - 3 3 0 3 8 7 号公報

【 0 0 0 8 】

【発明が解決しようとする課題】

しかしながら、磁気抵抗効果素子の磁気感応領域のサイズを制御することは、ヘッドアプリケーションに限らず微小なビット信号を高感度で検出する上で非常に有効な技術となりうるが、実用化されていないのが現状である。

【 0 0 0 9 】

本発明では、上記事情を考慮してなされたものであって、微小なビット信号を高感度で検出することのできる磁気抵抗効果素子を提供することを目的とする。

【 0 0 1 0 】

【課題を解決するための手段】

本発明の一態様による磁気抵抗効果素子は、第 1 磁性体層と、前記第 1 磁性体層に積層したスペーサ層と、前記スペーサ層に積層した第 2 磁性体層と、前記第 1 磁性体層、前記スペーサ層、および前記第 2 磁性体層からなる積層構造に隣接する絶縁層と、前記絶縁層に隣接するゲート電極とを備え、前記ゲート電極に印加する電圧により磁気感応領域を制御することを特徴とする。

【 0 0 1 1 】

なお、前記ゲート電極に印加する電圧により、前記第 1 および第 2 磁性体層の少なくとも一方の磁性体層の磁気感応領域のサイズが変えられるように構成しても良い。

【 0 0 1 2 】

なお、前記磁気感応領域は、狭窄されることが好ましい。

【 0 0 1 3 】

なお、前記ゲート電極に印加する電圧により、前記スペーサ層の導通領域のサイズが変えられるように構成しても良い。

【 0 0 1 4 】

なお、前記導通領域は、狭窄されることが好ましい。

【 0 0 1 5 】

なお、前記ゲート電極に印加する電圧により磁気感応領域が変えられる前記磁性体層は、III-V 族系半導体結晶、II-VI 族系半導体結晶、IV 族系半導体結晶、カルコパイライト系半導体結晶、および非晶質系半導体結晶のいずれか一つを母体とし、磁性元素として遷移金属元素および希土類元素のうちの少なくとも一つ含んでいるように構成しても良い。

【 0 0 1 6 】

なお、前記スペーサ層が、III-V 族系半導体結晶、あるいは、II-VI 族系半導体結晶、あるいは、IV 族系半導体結晶、あるいは、カルコパイライト系半導体結晶、あるいは、非晶質系半導体結晶であるように構成しても良い。

【 0 0 1 7 】

【発明の実施の形態】

本発明の実施形態について、図面を参照して詳細に説明する。

【 0 0 1 8 】

(第 1 実施形態)

本発明の第 1 実施形態による磁気抵抗効果素子の構成を図 1 (a) に示す。この実施形態による磁気抵抗効果素子は、強磁性体からなる磁性体層 1 1 と、スペーサ層 2 0 と、磁性半導体層 1 2 a とが積層されている積層構造体であり、さらに、積層構造体の周囲に絶縁体層 3 0 を介してゲート電極 3 1 を設けた構成となっている。このようなゲート電極 3 1 を有する積層構造体の磁気抵抗効果素子において、ゲート電極 3 1 に印加する電圧によって磁性半導体層 1 2 a の磁性状態を変化させ、磁気感応領域のサイズを制御する構成となっている。例えば、図 1 (b) において、ゲート電極 3 1 に正の電圧を印加すると、磁性半導体層 1 2 a 中に含まれる荷電子帯正孔が中央部の領域に集まり、伝導帯電子が端部領域に集まる。すると、荷電子帯正孔が集まる中央部が強磁性状態 1 3 a となり、伝導帯電子が集まる端部領域が常磁性状態 1 3 b となる。したがって、ゲート電極 3 1 の電圧を制御することにより、磁性半導体層 1 2 a のキャリア濃度が制御可能となり、磁性半導体層 1 2 a を強磁性状態 1 3 a と常磁性状態 1 3 b とに制御することができる。磁性半導体層 1 2 a の幅は 1 5 0 n m 程度であり、従来はこの幅が磁気感応領域となっていた。しかし、本実施形態においては、強磁性状態となる領域 1 3 a は磁性半導体層 1 2 a の幅の 1 / 3 程度、すなわち 5 0 n m 程度となる。これにより、磁気感応領域のサイズを従来の場合に比べて電界方向に狭く（狭窄）することが容易に可能となり、微小なビット信号を高感度で検出することができる。なお、図 1 (a) はゲートに電圧を印加しない状態を示し、磁性半導体層 1 2 a が強磁性状態 1 3 a となっている。

【 0 0 1 9 】

本実施形態に用いられる磁性半導体層 1 2 a においては、母体となる半導体は、半導体特性の点からは、外部電界により所要濃度のキャリアを生成、消滅できるものであれば良く、また、キャリア濃度によって磁化状態が制御できる磁性半導体であれば良い。

【 0 0 2 0 】

半導体として代表的なものは、III-V 族系半導体、II-VI 族系半導体、IV 族

系半導体、カルコパイライト系半導体および非晶質系半導体であるが、上記磁性半導体特性および磁化状態を満たせば良いのであるから、これらの半導体結晶に限定されない。例えばIII-V族系半導体結晶においては、GaAs、GaN、GaP、GaSb、AlAs、AlN、AlP、AlSb、InAs、InN、InP、InSb、および、これらの混晶等、II-VI族系半導体結晶においては、ZnSe、MgSe、CdSe、BeSe、ZnS、MgS、CdS、BeS、ZnTe、MgTe、CdTe、BeTe、ZnO、MgO、CdO、BeO、および、これらの混晶等、IV族系半導体結晶においては、Si、Ge、C等、および、カルコパイライト系半導体においては、CdGeP₂、CdSnP₂、CdSiP₂、ZnGeP₂、ZnSnP₂、ZnSiP₂、CdGeAs₂、CdSnAs₂、CdSiAs₂、ZnGeAs₂、ZnSnAs₂、ZnSiAs₂、CuAlS₂、CuGaS₂、CuInS₂、AgAlS₂、AgGaS₂、AgInS₂、CuAlSe₂、CuGaSe₂、CuInSe₂、AgAlSe₂、AgGaSe₂、AgInSe₂、CuAlTe₂、CuGaTe₂、CuInTe₂、AgAlTe₂、AgGaTe₂、AgInTe₂、等、また、非晶質系半導体においては、非晶質Si、非晶質Ge、非晶質半導体化合物などを用いることができる。

【 0 0 2 1 】

なかでも、III-V族系半導体結晶においては、GaAs、InAs、GaP、InP、InSb、GaN、および、これらの混晶、またII-VI族系半導体結晶においては、ZnSe、CdTe、CdS、ZnO、および、これらの混晶、またカルコパイライト系半導体結晶においては、CdGeP₂、ZnGeP₂、等が好ましい。さらに、これら族系半導体結晶の他に、VI族系半導体（Se、Te等）、IV-VI族系半導体（PbS、PbSe、PbTe等）有機半導体（C₆₀フラーレン、アンドラセン、ポリアセチレン、ポリイン等）等も、上記磁性半導体特性および磁化状態を満たす限りにおいては、当然用いることができる。

【 0 0 2 2 】

磁性半導体中に含まれる磁性元素として、遷移金属元素、希土類元素があるが、上記磁性半導体特性および磁化状態を満たせば良いのであるから、磁性元素に限定されない。

【 0 0 2 3 】

そのような磁性元素として、V、Cr、Mn、Fe、Co、Ni等その他の遷移金属元素、またIIIa族のSc、Y等、および、Ce、Er等のランタノイド等の希土類元素を含

んだものが好ましい。

【 0 0 2 4 】

さらに、上記磁性元素として、上記遷移金属元素と上記希土類元素の両方を含有するものも好ましいことは当然である。そして、実際には、母体となる半導体結晶の内部での結晶整合性、さらに所望の磁性を得る点をも考慮して、磁性元素を選択する。

【 0 0 2 5 】

したがって、磁性半導体として混晶化する半導体結晶と磁性元素の具体的な組み合わせは、電界によって生成、消滅できるキャリア濃度や、期待できる磁性の観点から総合的に評価して、適宜選択すれば良い。例えば、GaNとMn、GaAsとMn、GaAsとCr、CdGeP₂とMn、ZnGeP₂とMn、SiとCe、SiとEr等の組み合わせがあるが、これらの組み合わせに限定されるものではない。

【 0 0 2 6 】

なお本実施形態の場合には、スペーサ層 2 0 の材料としては上記半導体結晶でも非磁性の金属でも良く、特に限定されるものではない。さらに、磁性体層 1 1 の材料としては、上記磁性半導体層でも強磁性金属でも良く、さらに上記磁性元素を含有する合金あるいは化合物であっても良く、特に限定されるものではないが、磁性体層 1 1、1 2 とスペーサ層 2 0 の境界として界面形状を壊さないものを用いれば良い。

【 0 0 2 7 】

本実施形態による、ゲート電極を用いた磁気抵抗効果素子の磁気感応領域サイズの制御においては、磁性半導体層 1 2 の磁性がキャリア濃度と磁性元素の濃度に依るものなので、半導体結晶と磁性元素の組み合わせに関して特に限定するものではないが、前述の観点から総合的に評価して、適宜選択できるものである。特に、キャリア濃度の制御が広範囲で制御できるGaN（III－V族系半導体結晶）と、磁性半導体として室温を含む広い温度範囲で強磁性を呈することができるMn元素との組み合わせが好ましい。さらに、スペーサ層 2 0 と磁性体層 1 1 の材料としては、前述の観点から評価して、適宜選択できるものであるが、特にスペーサ層には界面形状が制御し易いGaN（III－V族系半導体結晶）を用い、低抵抗に

するためにMgをドーブしたGa_N:Mgが好ましい。また磁性体層 1 1 には磁性体層 1 2 と同様にGa_N:Mnとの組み合わせが好ましい。

【 0 0 2 8 】

しかし、前述したように、本実施形態による磁気抵抗効果素子の積層構造体は、Ga_N:Mn/Ga_N:Mg/Ga_N:Mnの組み合わせに限定されるものではなく、上記多種多様な状態に応じ、適宜、選択・設定されるべきものである。

【 0 0 2 9 】

以上説明したように、本実施形態によれば、磁気感応領域のサイズ制御を容易に行うことが可能となり、微小ビット信号を高感度で検出することができる。

【 0 0 3 0 】

(第 1 変形例)

なお、第 1 実施形態においては、スペーサ層 2 0 を挟んで磁性体層 1 1 と磁性半導体層 1 2 a が積層された積層構造体の周囲に絶縁体層 3 0 を介してゲート電極 3 1 が形成された構造となっていた。しかし、図 2 (a) に示すように、スペーサ層 2 0 を挟んで磁性体層 1 1 と磁性半導体層 1 2 a が積層された積層構造体の片側にのみゲート絶縁体層 3 0 を介してゲート電極 3 1 を設けた構成であっても良い。この場合、磁性半導体層 1 2 a は、電圧が印加されないときは、常磁性状態である。図 2 (a) は、ゲート電極 3 1 に電圧を印加しない状態を示し、磁性半導体層 1 2 a が常磁性状態 1 3 b であることを表している。この第 1 変形例の磁気抵抗効果素子において、図 2 (b) に示すようにゲート電極に負の電圧を印加することによって、磁性半導体層 1 2 中に含まれる伝導帯電子をゲート電極 3 1 から遠くの領域に追いやるとともに荷電子帯正孔をゲート電極 3 1 に近づけて伝導帯電子および荷電子帯正孔の濃度を変化させる。これにより、磁性半導体層 1 2 の常磁性状態の領域 1 3 b を縮小し、強磁性状態の領域 1 3 a をゲート電極 3 1 の近くに形成する。すなわち、強磁性状態 1 3 a の領域のサイズを制御することが可能となり、微小ビット信号を高感度で検出することができる。

【 0 0 3 1 】

(第 2 変形例)

また、図 3 (a) に示すように、スペーサ層 2 0 を挟んで強磁性体からなる磁

性体層 1 1 と磁性半導体層 1 2 b が積層された積層構造体の片側にのみゲート絶縁体層 3 0 を介してゲート電極 3 1 を設けた構成であっても良い。この場合、磁性半導体層 1 2 b は、電圧が印加されないときは、強磁性状態である。図 3 (a) は、ゲート電極 3 1 に電圧を印加しない状態を示し、磁性半導体層 1 2 b が強磁性状態 1 3 a であることを表している。この第 2 変形例の磁気抵抗効果素子において、図 3 (b) に示すように正の電圧を印加することによって、磁性半導体層 1 2 b 中に含まれる荷電子帯正孔をゲート電極 3 1 から遠くに追いやるとともに伝導帯電子をゲート電極 3 1 に近づけて伝導帯電子や荷電子帯正孔の濃度を変化させる。これにより、磁性半導体層 1 2 b の強磁性状態 1 3 a の領域を縮小し、常磁性状態 1 3 b の領域を形成する。すなわち、強磁性状態 1 3 a の領域サイズを制御することが可能となり、微小ビット信号を高感度で検出することができる。

【 0 0 3 2 】

(第 2 実施形態)

次に、本発明の第 2 実施形態による磁気抵抗効果素子を図 4 (a)、(b) を参照して説明する。本実施形態による磁気抵抗効果素子の構成を図 4 (a) に示す。この実施形態による磁気抵抗効果素子は、強磁性体からなる磁性体層 1 1 と、半導体からなるスペーサ層 2 0 a と、強磁性体からなる磁性層 1 2 とが積層されている積層構造体であり、さらに、積層構造体の周囲に絶縁体層 3 0 を介してゲート電極 3 1 を設けた構成となっている。このようなゲート電極 3 1 を有する積層構造体の磁気抵抗効果素子において、ゲート電極 3 1 に電圧を印加することによって、スペーサ層 2 0 a 中に含まれる伝導帯電子や荷電子帯正孔の濃度を変化させ、電流導通領域のサイズを制御する構成となっている。例えば、図 4 (b) に示すように、ゲート電極 3 1 に電圧を印加することによって、スペーサ層 2 0 a 中に含まれる伝導帯電子や荷電子帯正孔の濃度を変化させ、これにより、電流導通領域 2 1 a を電界方向に縮小し、スペーサ層 2 0 a 中の電気抵抗を変化させる。なお、図 4 (b) において、符号 2 1 b は電流非導通領域を示している。

【 0 0 3 3 】

すなわち、本実施形態による磁気抵抗効果素子においては、ゲート電極 3 1 に

電圧を印加することによって、伝導状態が変化する。したがって、ゲート電極 3 1 の電圧を制御することにより、導通領域のサイズを制御することができることになる。磁気抵抗効果素子の導通領域のサイズが電界方向に縮小することにより、電流が電気導通領域以外に流れないため、実効的に磁気感應領域のサイズも縮小する、すなわち狭窄されることになる。

【 0 0 3 4 】

本実施形態のスペーサ層 2 0 a において、母体となる半導体は、半導体特性の点からは、外部電界により所要濃度のキャリアを生成、消滅できるものであれば良い。

【 0 0 3 5 】

半導体として代表的なものは、III-V 族系半導体、II-VI 族系半導体、IV 族系半導体、カルコパイライト系半導体および非晶質系半導体であるが、外部電界により所要濃度のキャリアを生成、消滅できるものであれば良いのであるから、これらの半導体結晶に限定されない。例えば III-V 族系半導体結晶においては、GaAs、GaN、GaP、GaSb、AlAs、AlN、AlP、AlSb、InAs、InN、InP、InSb、および、これらの混晶等、II-VI 族系半導体結晶においては、ZnSe、MgSe、CdSe、BeSe、ZnS、MgS、CdS、BeS、ZnTe、MgTe、CdTe、BeTe、ZnO、MgO、CdO、BeO、および、これらの混晶等、IV 族系半導体結晶においては、Si、Ge、C 等、および、カルコパイライト系半導体においては、CdGeP₂、CdSnP₂、CdSiP₂、ZnGeP₂、ZnSnP₂、ZnSiP₂ 等、また、非晶質系半導体においては、非晶質 Si、非晶質 Ge、非晶質半導体化合物などを用いることができる。

【 0 0 3 6 】

なかでも、III-V 族系半導体結晶においては、GaAs、InAs、GaP、InP、InSb、GaN、および、これらの混晶、また II-VI 族系半導体結晶においては、ZnSe、CdTe、CdS、ZnO、および、これらの混晶が好ましい。さらに、これら族系半導体結晶のほかに、VI 族系半導体 (Se、Te 等)、IV-VI 族系半導体 (PbS、PbSe、PbTe 等) 有機半導体 (C₆₀ フラーレン、アンドラセン、ポリアセチレン、ポリイン等) 等も、上記半導体特性を満たす限りにおいては、当然用いることができる。

【 0 0 3 7 】

なお本実施形態の場合には、磁性体層 1 1、1 2 の材料としては上記磁性半導体結晶でも強磁性金属でも良く、第 1 実施形態で説明した磁性元素を含有する合金あるいは化合物であっても良く、特に限定されるものではないが、磁性体層 1 1、1 2 とスペーサ層 2 0 a の境界として界面形状を壊さないものを用いればよい。

【 0 0 3 8 】

本実施形態による磁気抵抗効果素子の磁気感応領域サイズの制御においては、スペーサ層 2 0 a のキャリア濃度に依るものなので、半導体結晶を特に限定するものではないが、前述の観点から総合的に評価して、適宜選択できる。特に、キャリア濃度の制御が広範囲で制御できる GaN (III-V 族系半導体結晶) を用い、低抵抗にするために Mg をドープした GaN:Mg が好ましい。さらに、磁性体層 1 1 と磁性体層 1 2 の材料としては、前述の観点から評価して、適宜選択できるものであるが、磁性体層 1 1、1 2 には、GaN (III-V 族系半導体結晶) と磁性元素 Mn との組み合わせによるのが好ましい。

【 0 0 3 9 】

しかし、前述したように、本実施形態による磁気抵抗効果素子の積層構造体は、GaN:Mn/GaN:Mg/GaN:Mn の組み合わせに限定されるものではなく、上記多種多様な状態に応じ、適宜、選択・設定されるべきものである。

【 0 0 4 0 】

以上説明したように、本実施形態によれば、スペーサ層 2 0 a 中の電気導通領域のサイズの制御、すなわち磁気感応領域のサイズの制御を容易に行うことが可能となり、微小ビット信号を高感度で検出することができる。

(第 1 変形例)

なお、第 2 実施形態では、半導体からなるスペーサ層 2 0 a を挟んで磁性体層 1 1 と磁性層 1 2 が積層された積層構造体の両側に絶縁体層 3 0 を介してゲート電極 3 1 が形成された構造となっていた。しかし、図 5 (a) に示すように、磁性体層 1 1 と磁性体層 1 2 間に高抵抗の半導体からなるスペーサ層 2 0 b が設けられた積層構造体の片側にのみゲート絶縁体層 3 0 を介してゲート電極 3 1 を設

けた構成であっても良い。図 5 (a) は、ゲート電極 3 1 に電圧を印加しない状態を示し、このとき、スペーサ層 2 0 b が高抵抗状態となっており、スペーサ層 2 0 b の全領域で電流が流れない状態にあることを示している。この第 1 変形例の磁気抵抗効果素子において、図 5 (b) に示すようにゲート電極に電圧を印加することによって、スペーサ層 2 0 b 中の伝導帯電子や荷電子帯正孔の濃度を変化させ、スペーサ層 2 0 b の電気導通領域 2 1 a を新たに形成し、これにより電気導通領域 2 1 a のサイズを制御することが可能となる。この結果、磁気感応領域も小さくすることが可能となり、微小ビット信号を高感度で検出することができる。

【 0 0 4 1 】

(第 2 変形例)

また、図 6 (a) に示すように、半導体からなるスペーサ層 2 0 c を挟んで磁性体層 1 1 と磁性体層 1 2 が積層された積層構造体の片側にのみゲート絶縁体層 3 0 を介してゲート電極 3 1 を設けた構成であっても良い。この場合、スペーサ層 2 0 c は、電圧が印加されないときは低抵抗となる半導体から構成されている。図 6 (a) は、ゲート電極 3 1 に電圧を印加状態で、スペーサ層 2 0 c の全領域が電気導通領域となる状態を示している。図 6 (b) に示すように、電圧を印加することによって、スペーサ層 2 0 c 中の伝導帯電子や荷電子帯正孔の濃度を変化させ、スペーサ層 2 0 c の電気導通領域 2 1 a を縮小し、電気導通領域 2 1 a のサイズを制御することが可能となる。この結果、磁気感応領域も小さくすることが可能となり、微小ビット信号を高感度で検出することができる。

【 0 0 4 2 】

以上第 1 および第 2 の実施形態で説明したように、磁気抵抗効果素子のゲート電極を用いた磁気感応領域のサイズ制御は、加工によるサイズ制御を必要としないので、従来の磁気抵抗効果素子に比べて磁気感応領域のサイズを小さくすることができる。

【 0 0 4 3 】

次に、本発明による磁気抵抗効果素子の実施例を図 7 乃至図 1 7 を参照して説明する。なお、下記の実施例においては、磁気抵抗効果素子の製造は図 7 乃至図

9の製造工程断面図にしたがって行われる。

【0044】

(実施例1)

まず、アンモニアを窒素源として用いた分子線エピタキシー装置によって、Ga N:Mgからなるドーパ基板40を800℃で30分アニールし、アニール終了後、基板温度を700℃に降温して、GaNバッファ層（図示せず）を堆積した。この時の金属Gaセル温度は900℃で、アンモニアをクラッキングせずに5 s c c m流した。堆積終了後、直ちにGaN:Mnからなる磁化自由層となる磁性半導体層12の作製に移行した。このプロセスは800℃に加熱された金属Mnセルのシャッターを開けて、Ga、アンモニアと同時に供給することで作製した。堆積した膜厚は10nmである。

【0045】

次に、Mnセルのシャッターを閉じて、直ちに330℃に加熱したMgセルのシャッターを開けて、スペーサ層として機能するGaN:Mgからなる非磁性層20を4nm堆積し、続いてMgセルのシャッターを閉じて、直ちに900℃に加熱された金属Mnセルのシャッターを開けて、GaN:Mnからなる磁性半導体層11を10nm堆積し、磁気抵抗効果膜を作製した。堆積速度は、約80nm/hである。

【0046】

その後、分子線エピタキシー装置から取り出しスパッタ装置にて、磁気抵抗効果膜上に磁化固着層11の磁化を固着するPtMnからなる反強磁性層42を20nm堆積し、さらに上部電極膜44（下からTa3nm/Cu20nm/Ta5nm）を堆積した（図7（a）参照）。

【0047】

次に、上部電極膜44上にフォトリソットあるいは電子ビーム用レジストを用いてT型のマスク46を形成した。レジソットマスク46の幅は150nmとした（図7（b）参照）。

【0048】

次に、このマスク46越しにイオンミリングにて上部電極膜44、PtMn膜42

磁性半導体層 1 1、スペーサ層 2 0、磁性半導体層 1 2、および基板 4 0 を一括でパターニングする（図 7（c）参照）。このとき、基板 4 0 がエッチングされるまでパターニングするのは、磁化自由層（フリー層とも云う）となる磁性半導体層 1 2 の側部に後述のゲート電極 3 1 を形成し、十分なゲート電圧を印加可能とするためである。

【 0 0 4 9 】

続いて、マスク 4 6 をそのままにして積層方向の側面（4 面とも）に斜め方向から SiO_2 からなる絶縁体層 3 0 を 5 0 nm 堆積する（図 8（a）参照）。その後、絶縁体層 3 0 上（4 面とも）にゲート電極膜として機能する CoPt からなるハードマグネット層 3 1 を 1 0 0 nm 堆積し（図 8（b）参照）、アルミナ膜 4 8 を 2 0 nm 堆積する（図 8（c）参照）。

【 0 0 5 0 】

続いて、マスク 4 6 を有機溶剤にてリフトオフし（図 9（a）参照）、NiFe からなる膜厚 1 μm の上シールド膜 5 0 を形成し（図 9（b）参照）、最後に、基板 4 0 に下電極膜 5 2（下から Ta 3 nm / Cu 2 0 nm / Ta 5 nm）、NiFe からなる膜厚 1 μm の下シールド膜 5 4 を順次堆積する（図 9（c）参照）。

【 0 0 5 1 】

このようにして形成した磁気抵抗効果素子の磁化自由層 1 2 付近の断面形状を図 1 0 に示す。積層構造（図 1 0（a））の側面一面を削り磁気抵抗効果素子の膜部分を露出させ（図 1 0（b））、露出した面に SiO_2 からなる絶縁層を 2 nm 堆積した（図 1 0（c））。ハードバイアス方向（ハードマグネット層 3 1 は 1 面のみ図示、他の 2 面とも同じ方向にバイアスしている）、磁化固着層（ピン層とも云う）1 1 の磁化方向、および磁化自由層 1 2 の磁気情報に対する磁化方向の状態を図 1 0（d）に示している。磁化固着層 1 1 と、磁化自由層 1 2 およびハードマグネット層 3 1 との間では磁化方向が 9 0 度になるようにしてある。

【 0 0 5 2 】

このようにして作製した磁気抵抗効果素子を X-Y 方向に動作可能なピエゾ素子上に接続し、ゲート電極に印加する電圧を制御しながら、GaN 基板 4 0 と上部電極 4 4 との間における抵抗測定をしながら、約 1 0 nm サイズの分散された磁

気ビットの磁気情報観察を行った（図 1 1 参照）。その結果、ゲート電極 3 1 に対し電圧印加していない時には、分解能が悪く磁気ビットの観察ができなかったが、ゲート電極 3 1 に印加する電圧に対して、磁気媒体 1 0 0 に記憶された磁気ビットの分解能変化が観察された。+ 1 0 V の電圧の印加で磁気媒体 1 0 0 に記憶された磁気ビットを観察できる分解能を有していた。

【 0 0 5 3 】

（実施例 2）

実施例 1 と同様に、アンモニアを窒素源として用いた分子線エピタキシー装置にて、GaN:Mg からなるドーパ基板 4 0 を 8 0 0 °C で 3 0 分アニールし、アニール終了後、基板温度を 7 0 0 °C に降温して、GaN バッファ層を堆積した。この時の金属 Ga セル温度は 9 0 0 °C で、アンモニアをクラッキングせずに 5 s c c m 流した。堆積終了後、直ちに GaN:Mn からなる磁性半導体層 1 2 の作製に移行した。このプロセスは 7 5 0 °C に加熱された金属 Mn セルのシャッターを開けて、Ga、アンモニアと同時に供給することで作製した。堆積した膜厚は 1 0 n m である。次に、Mn セルのシャッターを閉じて、直ちに 3 3 0 °C に加熱した Mg セルのシャッターを開けて、スペーサ層として機能する GaN:Mg からなる非磁性層 2 0 を 4 n m 堆積し、続いて Mg セルのシャッターを閉じて、直ちに 9 0 0 °C に加熱された金属 Mn セルのシャッターを開けて、GaN:Mn からなる磁化固着層となる磁性半導体層 1 1 を 1 0 n m 堆積し、磁気抵抗効果素子部を作製した。堆積速度は、約 8 0 n m / h である。その後、分子線エピタキシー装置から取り出しスパッタ装置にて、磁気抵抗効果素子上に磁化固着層となる磁性半導体層 1 1 の磁化を固定する PtMn からなる反強磁性層 4 2 を 2 0 n m 堆積し、さらに上部電極膜（下から Ta 3 n m / Cu 2 0 n m / Ta 5 n m）4 4 を堆積した。

【 0 0 5 4 】

次に実施例 1 と同様のプロセスを実施し、ゲート電極 3 1 となるハードバイアス層は一面にのみ堆積している。形成した構造の磁化自由層 1 2 付近の断面形状を図 1 2 に示す。積層構造（図 1 2 （a）参照）の側面一面を削り磁気抵抗効果膜部分を露出させ（図 1 2 （b）参照）、露出した面に SiO₂ からなる絶縁層 6 2 を 2 n m 堆積した（図 1 2 （c））。

【 0 0 5 5 】

実施例 1 と同様に測定を行った結果、 -9 V の電圧の印加で磁気媒体 1 0 0 に記憶された磁気ビットを観察できる分解能を有していた（図 1 3 参照）。

【 0 0 5 6 】

（実施例 3）

実施例 1 と同様に、アンモニアを窒素源として用いた分子線エピタキシー装置にて、 GaN:Mg からなるドーブ基板 4 0 を 800°C で 3 0 分アニールし、アニール終了後、基板温度を 700°C に降温して、 GaN からなるバッファー層を堆積した。この時の金属 Ga セル温度は 900°C で、アンモニアをクラッキングせずに 5 sccm 流した。堆積終了後、直ちに GaN:Mn からなる磁性半導体層 1 2 の作製に移行した。このプロセスは 800°C に加熱された金属 Mn セルのシャッターを開けて、 Ga 、アンモニアと同時に供給することで作製した。堆積した膜厚は 10 nm である。次に、 Mn セルのシャッターを閉じて、直ちに 330°C に加熱した Mg セルのシャッターを開けて、スペーサ層として機能する GaN:Mg からなる非磁性層 2 0 を 4 nm 堆積し、続いて Mg セルのシャッターを閉じて、直ちに 900°C に加熱された金属 Mn セルのシャッターを開けて、 GaN:Mn からなる磁性半導体層 1 1 を 10 nm 堆積し、磁気抵抗効果膜を作製した。堆積速度は、約 80 nm/h である。

【 0 0 5 7 】

その後、分子線エピタキシー装置から取り出しスパッタ装置にて、磁気抵抗効果膜上に、磁気固着層となる磁性半導体層 1 1 の磁化を固着する PtMn からなる反強磁性層 4 2 を 20 nm 堆積し、さらに上部電極膜（下から $\text{Ta } 3\text{ nm}/\text{Cu } 20\text{ nm}/\text{Ta } 5\text{ nm}$ ）を堆積した。

【 0 0 5 8 】

次に、実施例 1 と同様のプロセスを実施し、ゲート電極となるハードバイアス層 3 1 は一面にのみ堆積している。形成した構造のフリー層 1 2 付近の断面形状を図 1 4 に示す。積層構造（図 1 4（a）参照）の側面一面を削り磁気抵抗効果膜部分を露出させ（図 1 4（b）参照）、露出した面に SiO_2 からなる絶縁層 6 4 を 2 nm 堆積した（図 1 4（c））。

【 0 0 5 9 】

実施例 1 と同様に測定を行った結果、+15 V の電圧の印加で磁気媒体 100 に記憶された磁気ビットを観察できる分解能を有していた（図 15 参照）。

【0060】

（実施例 4）

実施例 1 と同様に、アンモニアを窒素源として用いた分子線エピタキシー装置にて、GaN:Mg からなるドーブ基板 40 を 800℃ で 30 分アニールし、アニール終了後、基板温度を 700℃ に降温して、GaN バッファ層を堆積した。この時の金属 Ga セル温度は 900℃ で、アンモニアをクラッキングせずに 5 s c c m 流した。堆積終了後、直ちに GaN:Mn からなる磁性半導体層 12 の作製に移行した。このプロセスは 750℃ に加熱された金属 Mn セルのシャッターを開けて、Ga、アンモニアと同時に供給することで作製した。堆積した膜厚は 10 nm である。

【0061】

次に、Mn セルのシャッターを閉じて、直ちに 330℃ に加熱した Mg セルのシャッターを開けて、スペーサ層として機能する GaN:Mg からなる非磁性層 20 を 4 nm 堆積し、続いて Mg セルのシャッターを閉じて、直ちに 900℃ に加熱された金属 Mn セルのシャッターを開けて、GaN:Mn からなる磁性半導体層 11 を 10 nm 堆積し、磁気抵抗効果膜を作製した。堆積速度は、約 80 nm/h である。その後、分子線エピタキシー装置から取り出し、スパッタ装置にて、磁気抵抗効果膜上に磁化固着層 11 の磁化を固着する PtMn からなる反強磁性層 42 を 20 nm 堆積し、さらに上部電極膜（下から Ta 3 nm/Cu 20 nm/Ta 5 nm）44 を堆積した。

【0062】

次に、実施例 1 と同様のプロセスを実施した。形成した構造のフリー層 12 付近の断面形状を図 16 に示す。積層構造（図 16（a）参照）の側面一面を削り磁気抵抗効果膜部分を露出させ（図 16（b）参照）、露出した面に SiO₂ からなる絶縁層 66 を 2 nm 堆積し（図 16（c）参照）、堆積した絶縁層 66 上に Ta からなるゲート電極膜 31a を 5 nm 堆積し（図 16（d）参照）、絶縁層 68 を 2 nm 堆積した（図 16（e）参照）。

【0063】

実施例 1 と同様に測定を行った結果、 -5 V の電圧の印加で磁気媒体 1 0 0 に記憶された磁気ビットを観察できる分解能を有していた（図 1 7 参照）。

【0 0 6 4】

（実施例 5）

アンモニアを窒素源として用いた分子線エピタキシー装置にて、 GaN:Mg からなるドーパ基板 4 0 を 800°C で 3 0 分アニールし、アニール終了後、基板温度を 700°C に降温して、 GaN バッファ層を堆積した。この時の金属 Ga セル温度は 900°C で、アンモニアをクラッキングせずに 5 sccm 流した。堆積終了後、直ちに GaN:Mn からなる磁性半導体層 1 2 の作製に移行した。このプロセスは 900°C に加熱された金属 Mn セルのシャッターを開けて、 Ga 、アンモニアと同時に供給することで作製した。堆積した膜厚は 10 nm である。次に、 Mn セルのシャッターを閉じて、直ちに、 300°C に加熱した Mg セルのシャッターを開けて、スペーサ層として機能する GaN:Mg からなる非磁性層 2 0 を 4 nm 堆積し、続いて Mg セルのシャッターを閉じて、直ちに 900°C に加熱された金属 Mn セルのシャッターを開けて、 GaN:Mn からなる磁性半導体層 1 1 を 10 nm 堆積し、磁気抵抗効果膜を作製した。堆積速度は、約 80 nm/h である。その後、分子線エピタキシー装置から取り出しスパッタ装置にて、磁気抵抗効果膜上に、磁化固着層 1 1 の磁化を固着する PtMn からなる反強磁性層 4 2 を 20 nm 堆積し、さらに上部電極膜（下から $\text{Ta } 3\text{ nm}/\text{Cu } 20\text{ nm}/\text{Ta } 5\text{ nm}$ ）4 4 を堆積した。

【0 0 6 5】

実施例 1 と同様のプロセスを実施し、実施例 1 と同様に測定を行った結果、 $+13\text{ V}$ の電圧の印加で磁気媒体に記憶された磁気ビットを観察できる分解能を有していた。測定中の概略図は図 1 1 と同様である。

【0 0 6 6】

（実施例 6）

アンモニアを窒素源として用いた分子線エピタキシー装置にて、 GaN:Mg からなるドーパ基板 4 0 を 800°C で 3 0 分アニールし、アニール終了後基板温度を 700°C に降温して、 GaN バッファ層を堆積した。この時の金属 Ga セル温度は 900°C で、アンモニアをクラッキングせずに 5 sccm 流した。堆積終了後、直

ちにGaN:Mnからなる磁性半導体層12の作製に移行した。このプロセスは900℃に加熱された金属Mnセルのシャッターを開けて、Ga、アンモニアと同時に供給することで作製した。堆積した膜厚は10nmである。次に、Mnセルのシャッターを閉じて、直ちに、270℃に加熱したMgセルのシャッターを開けて、スペーサ層として機能するGaN:Mgからなる非磁性層を4nm堆積し、続いて900℃に加熱された金属Mnセルのシャッターを開けて、直ちにGaN:Mnからなる磁性半導体層11を10nm堆積し、磁気抵抗効果膜を作製した。堆積速度は、約80nm/hである。その後、分子線エピタキシー装置から取り出しスパッタ装置にて、磁気抵抗効果膜上にPtMnからなる反強磁性層42を20nm堆積し、さらに上部電極膜（下からTa3nm/Cu20nm/Ta5nm）44を堆積した。

【0067】

実施例2と同様のプロセスを実施し、実施例1同様に測定を行った結果、-10Vの電圧の印加で磁気媒体に記憶された磁気ビットを観察できる分解能を有していた。測定中の概略図は図13と同様である。

【0068】

（実施例7）

アンモニアを窒素源として用いた分子線エピタキシー装置にて、GaN:Mgからなるドーブ基板40を800℃で30分アニールし、アニール終了後、基板温度を700℃に降温して、GaNバッファ層を堆積した。この時の金属Gaセル温度は900℃で、アンモニアをクラッキングせずに5sccm流した。堆積終了後、直ちにGaN:Mnからなる磁性半導体層12の作製に移行した。このプロセスは900℃に加熱された金属Mnセルのシャッターを開けて、Ga、アンモニアと同時に供給することで作製した。堆積した膜厚は10nmである。次に、Mnセルのシャッターを閉じて、直ちに、300℃に加熱したMgセルのシャッターを開けて、スペーサ層として機能するGaN:Mgからなる非磁性層20を4nm堆積し、続いてMgセルのシャッターを閉じて、直ちに900℃に加熱された金属Mnセルのシャッターを開けて、GaN:Mnからなる磁性半導体層11を10nm堆積し、磁気抵抗効果膜を作製した。堆積速度は、約80nm/hである。その後、分子線エピタキシー装置から取り出しスパッタ装置にて、磁気抵抗効果膜上にPtMnからなる反強磁性

層 4 2 を 2 0 n m 堆積し、さらに上部電極膜（下から Ta 3 n m / Cu 2 0 n m / Ta 5 n m）を堆積した。

【 0 0 6 9 】

実施例 3 と同様のプロセスを実施し、実施例 1 と同様に測定を行った結果、+ 1 8 V の電圧の印加で磁気媒体に記憶された磁気ビットを観察できる分解能を有していた。測定中の概略図は図 1 5 と同様である。

【 0 0 7 0 】

（実施例 8）

アンモニアを窒素源として用いた分子線エピタキシー装置にて、GaN:Mg からなるドーブ基板 4 0 を 8 0 0 °C で 3 0 分アニールし、アニール終了後、基板温度を 7 0 0 °C に降温して、GaN バッファ層を堆積した。この時の金属 Ga セル温度は 9 0 0 °C で、アンモニアをクラッキングせずに 5 s c c m 流した。堆積終了後、直ちに GaN:Mn からなる磁性半導体層 1 2 の作製に移行した。このプロセスは 9 0 0 °C に加熱された金属 Mn セルのシャッターを開けて、Ga、アンモニアと同時に供給することで作製した。堆積した膜厚は 1 0 n m である。次に、Mn セルのシャッターを閉じて、直ちに、2 7 0 °C に加熱した Mg セルのシャッターを開けて、スペーサ層として機能する GaN:Mg からなる非磁性層 2 0 を 4 n m 堆積し、続いて 9 0 0 °C に加熱された金属 Mn セルのシャッターを開けて、直ちに GaN:Mn からなる磁性半導体層 1 1 を 1 0 n m 堆積し、磁気抵抗効果膜を作製した。堆積速度は、約 8 0 n m / h である。その後、分子線エピタキシー装置から取り出しスパッタ装置にて、磁気抵抗効果膜上に PtMn からなる反強磁性層 4 2 を 2 0 n m 堆積し、さらに上部電極膜（下から Ta 3 n m / Cu 2 0 n m / Ta 5 n m）4 4 を堆積した。

【 0 0 7 1 】

実施例 4 と同様のプロセスを実施し、実施例 1 と同様に測定を行った結果、- 7 V の電圧の印加で磁気媒体に記憶された磁気ビットを観察できる分解能を有していた。分解能を有していた。測定中の概略図は図 1 7 と同様である。

【 0 0 7 2 】

（実施例 9）

図 1 8 に示すように、実施例 4 のハードバイアス層 3 1 に + 1 1 V を印加し、

ゲート電極 3 1 a に - 5 V の電圧を印加した状態で、実施例 1 と同様に測定を行った結果、磁気媒体に記憶された磁気ビットを観察できる分解能を有していた。

【 0 0 7 3 】

(実施例 1 0)

図 1 8 に示す実施例 9 の測定の場合と同様に、実施例 8 のハードバイアス層 3 1 に + 1 3 V を印加し、ゲート電極 3 1 a に - 7 V の電圧を印加した状態で、実施例 1 と同様に測定を行った結果、磁気媒体に記憶された磁気ビットを観察できる分解能を有していた。

【 0 0 7 4 】

なお、上記実施例 1 乃至実施例 1 0 においては、磁化固着層となる磁性体層 1 1 が上電極 4 4 側に、磁化自由層となる磁性体層 1 2 が下電極 5 2 側に設けられていたが、磁化固着層となる磁性体層 1 1 を下電極 5 2 側に、磁化自由層となる磁性体層 1 2 を上電極 4 4 側に設けても良い。

【 0 0 7 5 】

【発明の効果】

以上述べたように、本発明によれば、微小なビット信号を高感度で検出することができる。

【図面の簡単な説明】

【図 1】

本発明の第 1 実施形態による磁気抵抗効果素子の構成を示す断面図。

【図 2】

第 1 実施形態の第 1 変形例の構成を示す断面図。

【図 3】

第 1 実施形態の第 2 変形例の構成を示す断面図。

【図 4】

本発明の第 2 実施形態による磁気抵抗効果素子の構成を示す断面図。

【図 5】

第 2 実施形態の第 1 変形例の構成を示す断面図。

【図 6】

第 2 実施形態の第 2 変形例の構成を示す断面図。

【図 7】

本発明の磁気抵抗効果素子の製造過程を示す工程断面図。

【図 8】

本発明の磁気抵抗効果素子の製造過程を示す工程断面図。

【図 9】

本発明の磁気抵抗効果素子の製造過程を示す工程断面図。

【図 1 0】

本発明の磁気抵抗効果素子のフリー層付近での製造工程を説明する図。

【図 1 1】

図 1 0 に示す製造工程によって製造された磁気抵抗効果素子の微小ビット検出を説明する図。

【図 1 2】

本発明の磁気抵抗効果素子のフリー層付近での製造工程を説明する図。

【図 1 3】

図 1 2 に示す製造工程によって製造された磁気抵抗効果素子の微小ビット検出を説明する図。

【図 1 4】

本発明の磁気抵抗効果素子のフリー層付近での製造工程を説明する図。

【図 1 5】

図 1 4 に示す製造工程によって製造された磁気抵抗効果素子の微小ビット検出を説明する図。

【図 1 6】

本発明の磁気抵抗効果素子のフリー層付近での製造工程を説明する図。

【図 1 7】

図 1 6 に示す製造工程によって製造された磁気抵抗効果素子の微小ビット検出を説明する図。

【図 1 8】

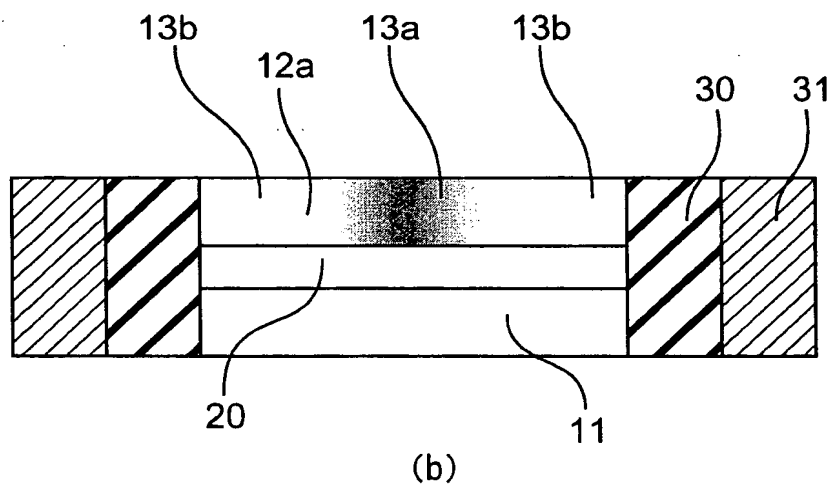
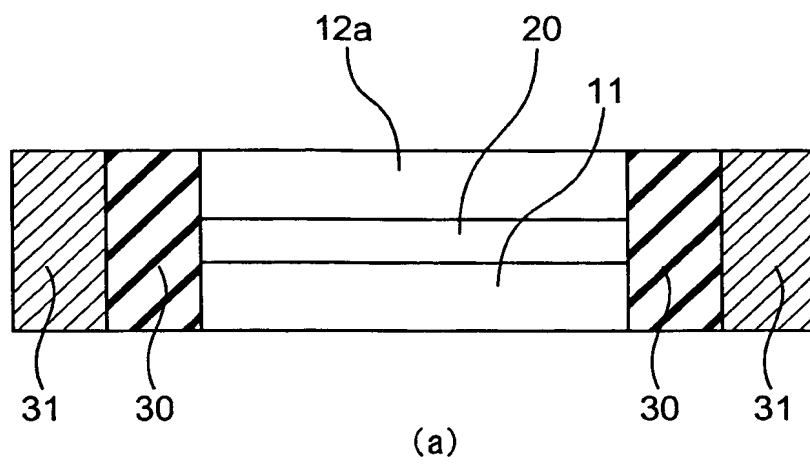
実施例 9 および 1 0 の微小ビット検出を説明する図。

【符号の説明】

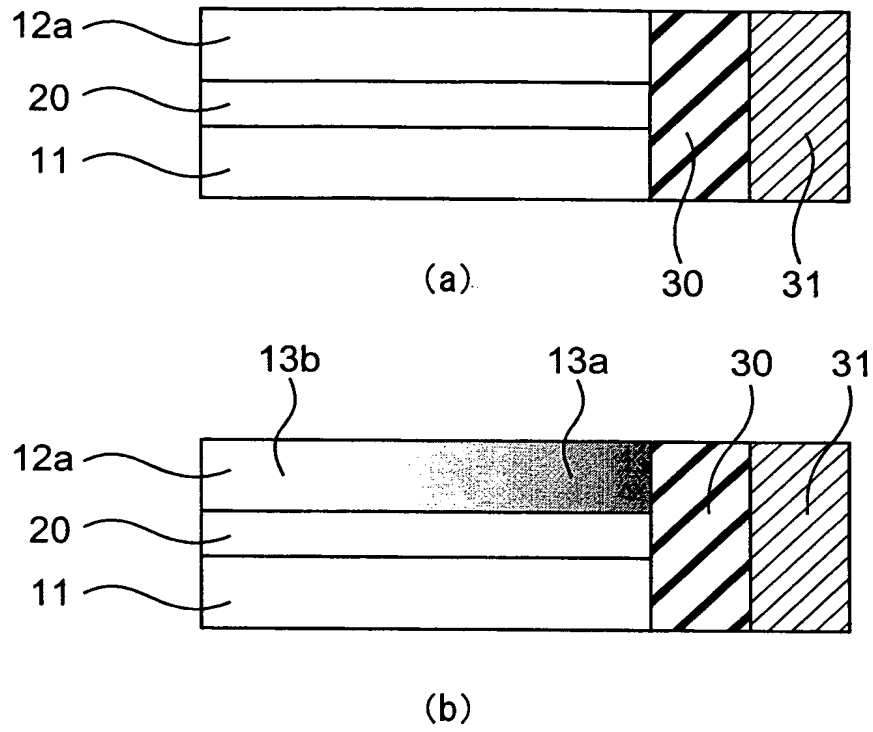
- 1 1、1 2 磁性体層
- 1 2 a 磁性半導体層
- 1 3 a 強磁性磁化領域
- 1 3 b 常磁性磁化領域
- 2 0 スペース層
- 2 1 a 電流導通領域
- 2 1 b 電流非導通領域
- 3 0 絶縁層
- 3 1 ゲート電極
- 4 2 反強磁性膜
- 4 4 上部電極層
- 5 2 下部電極層

【書類名】 図面

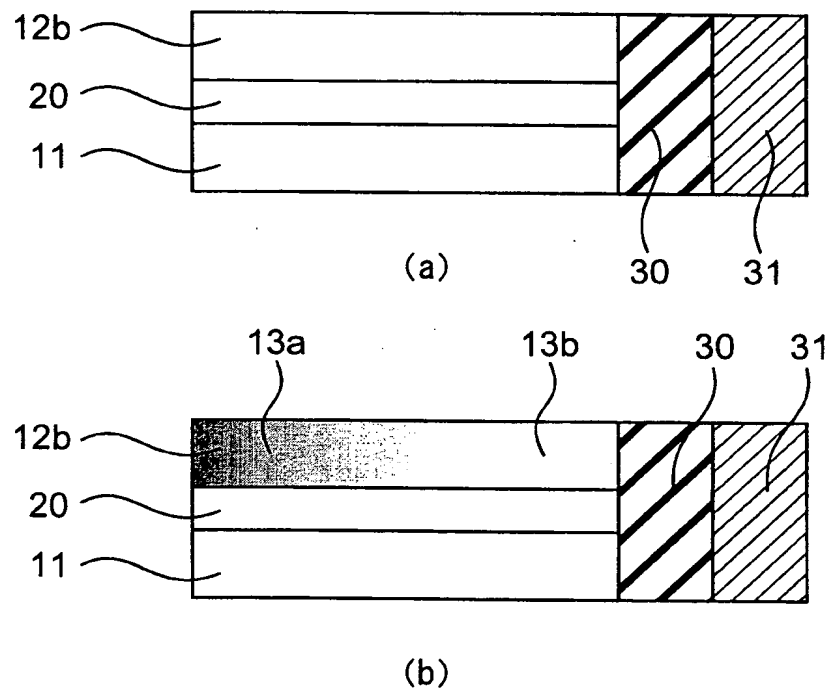
【図 1】



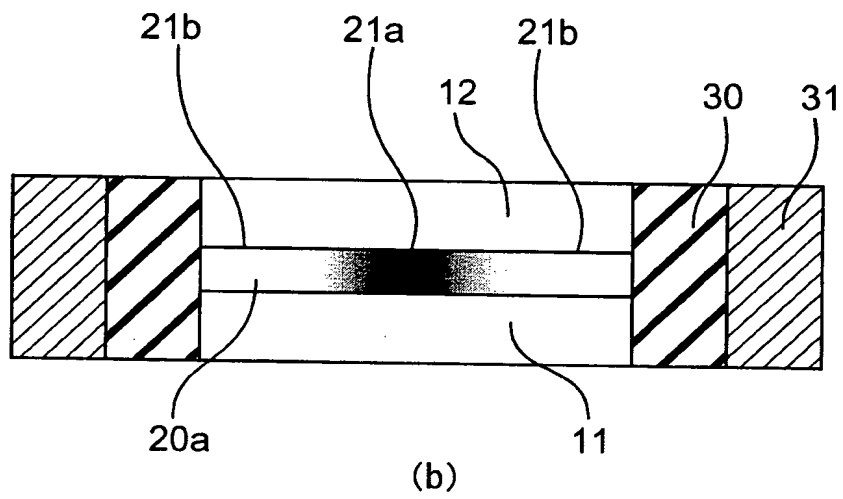
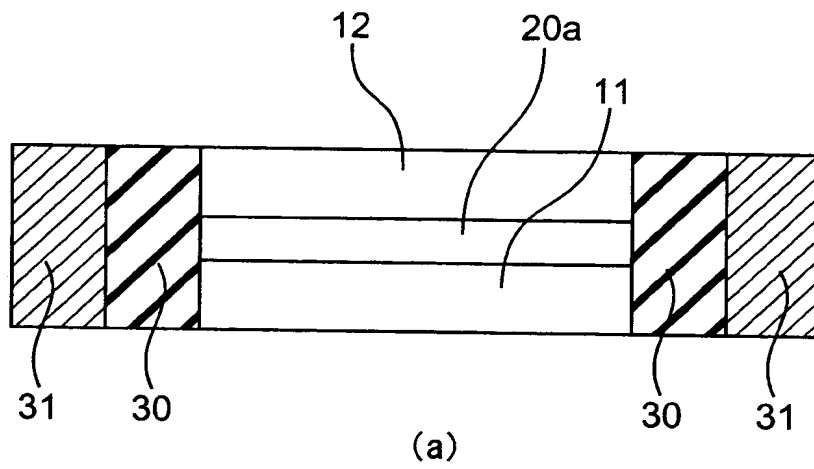
【図 2】



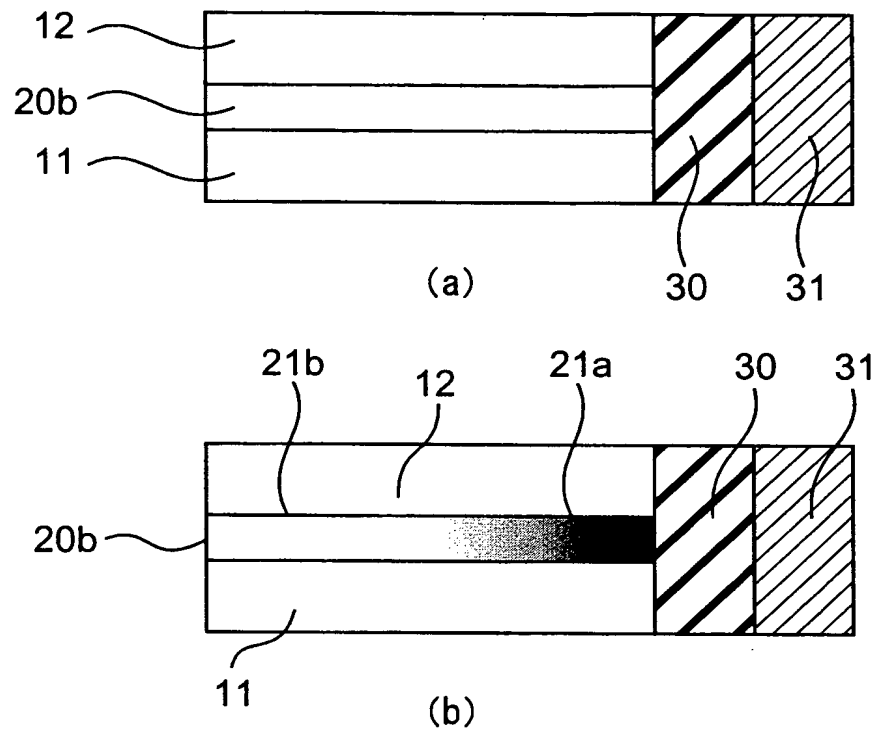
【図 3】



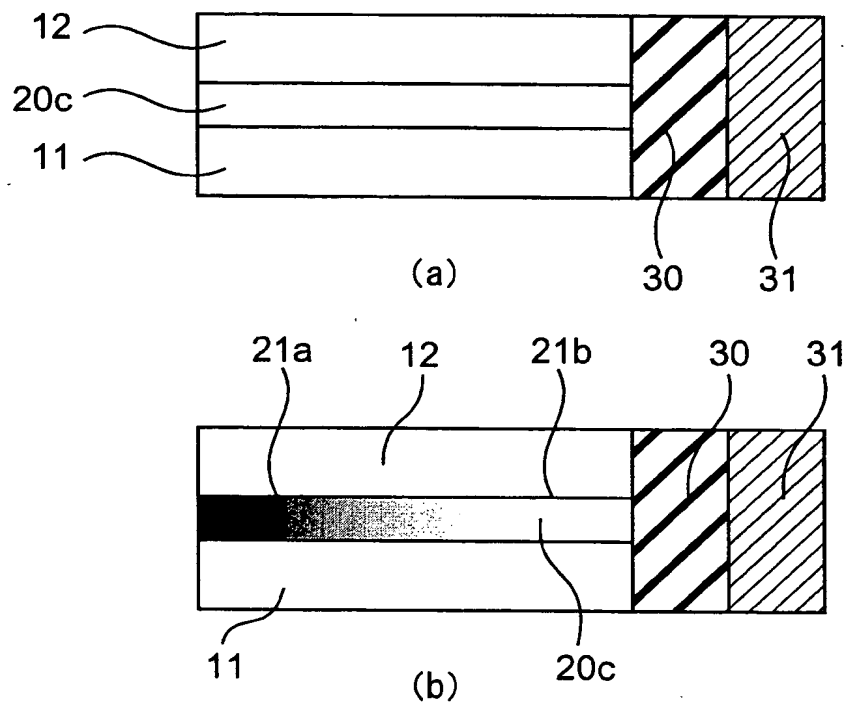
【図 4】



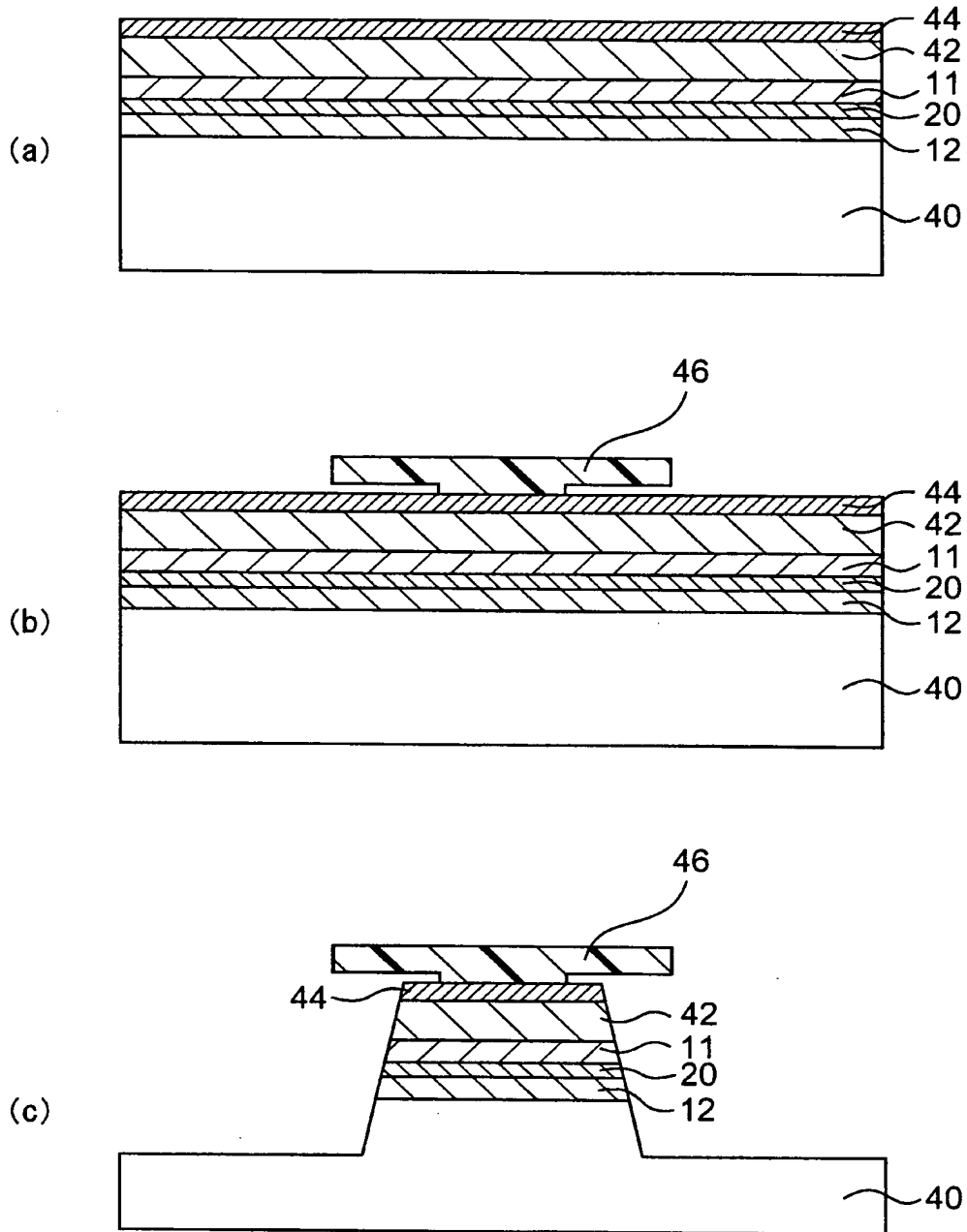
【図 5】



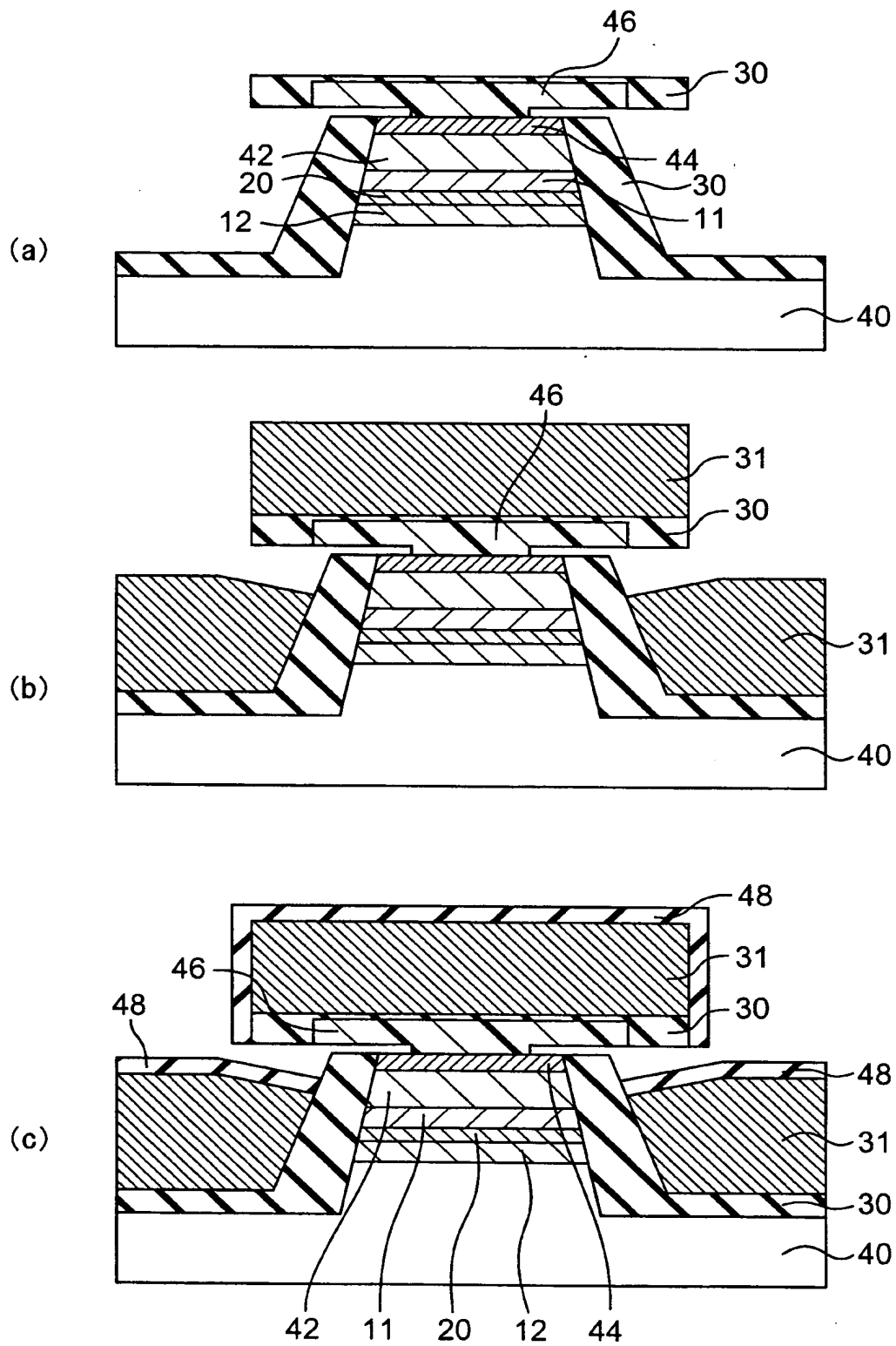
【図 6】



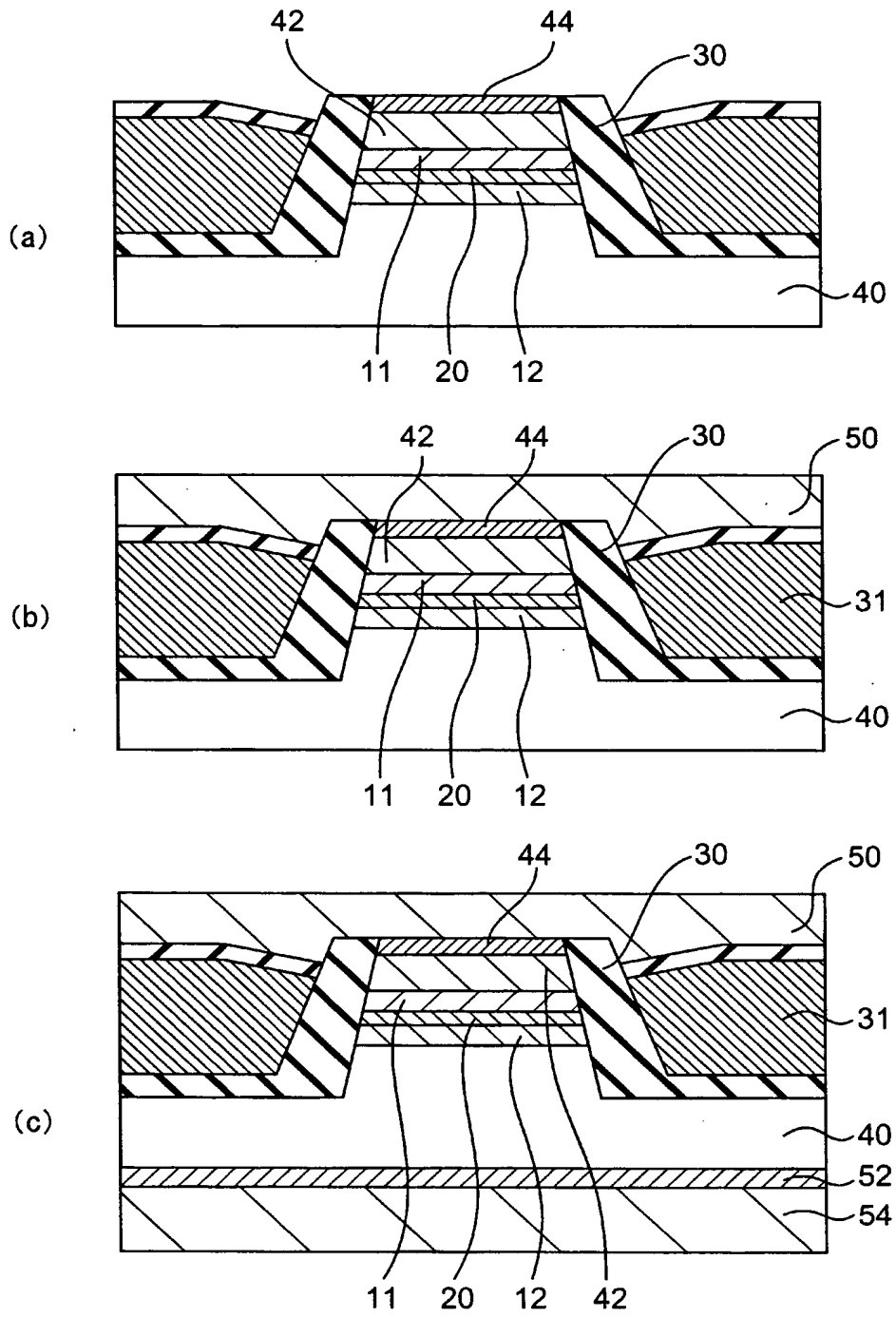
【図 7】



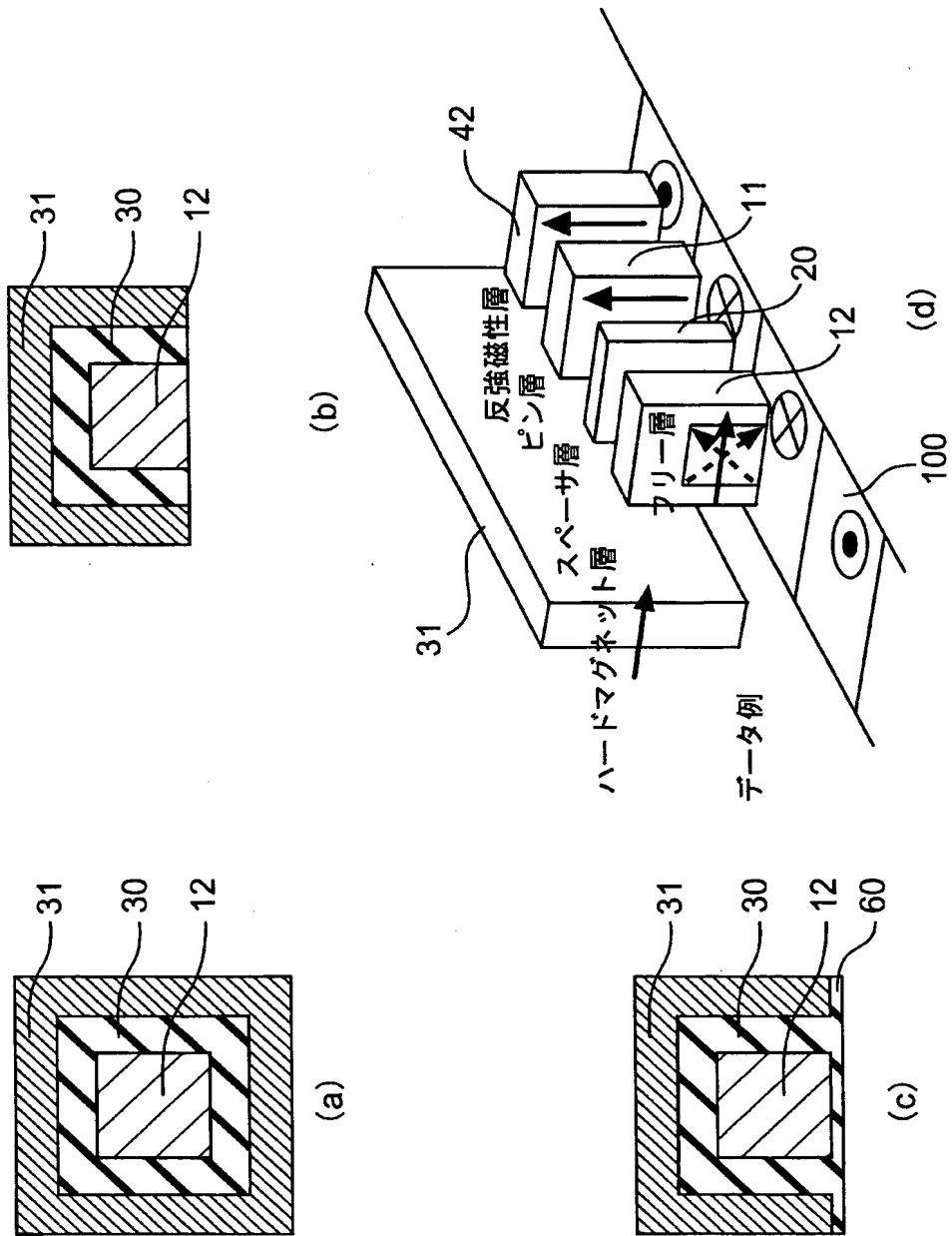
【図 8】



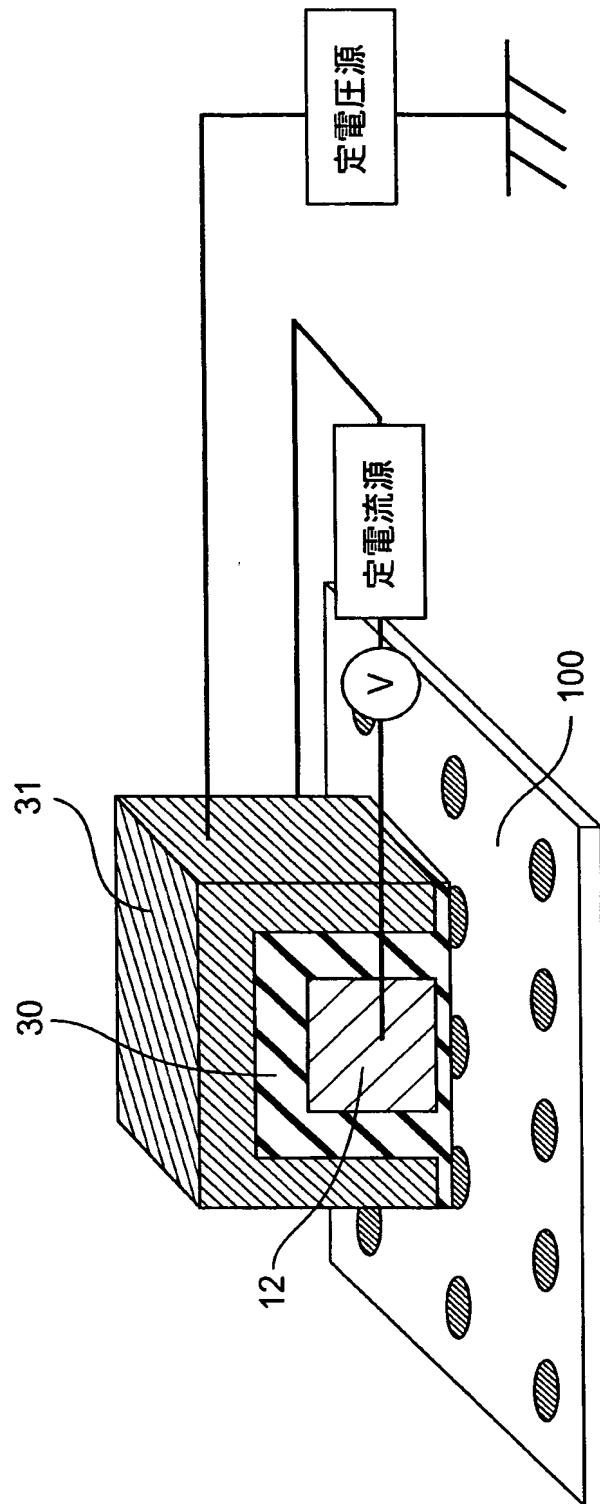
【図 9】



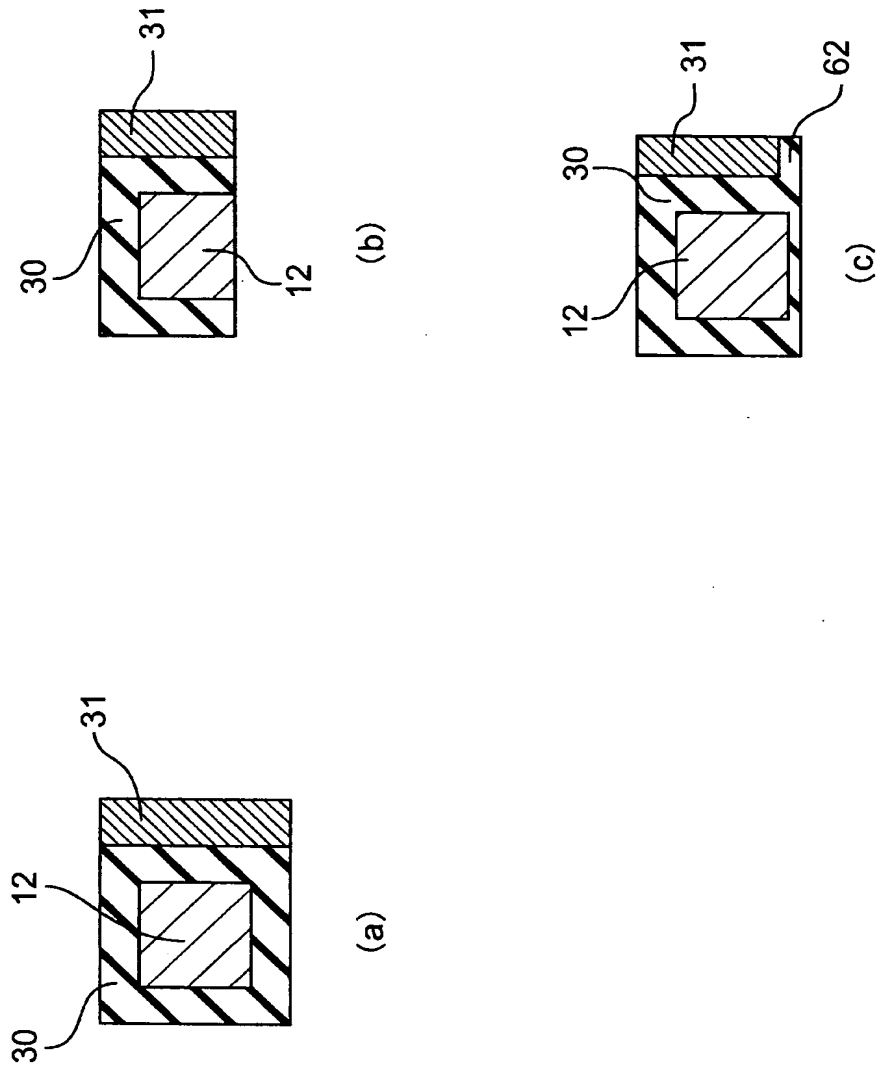
【図10】



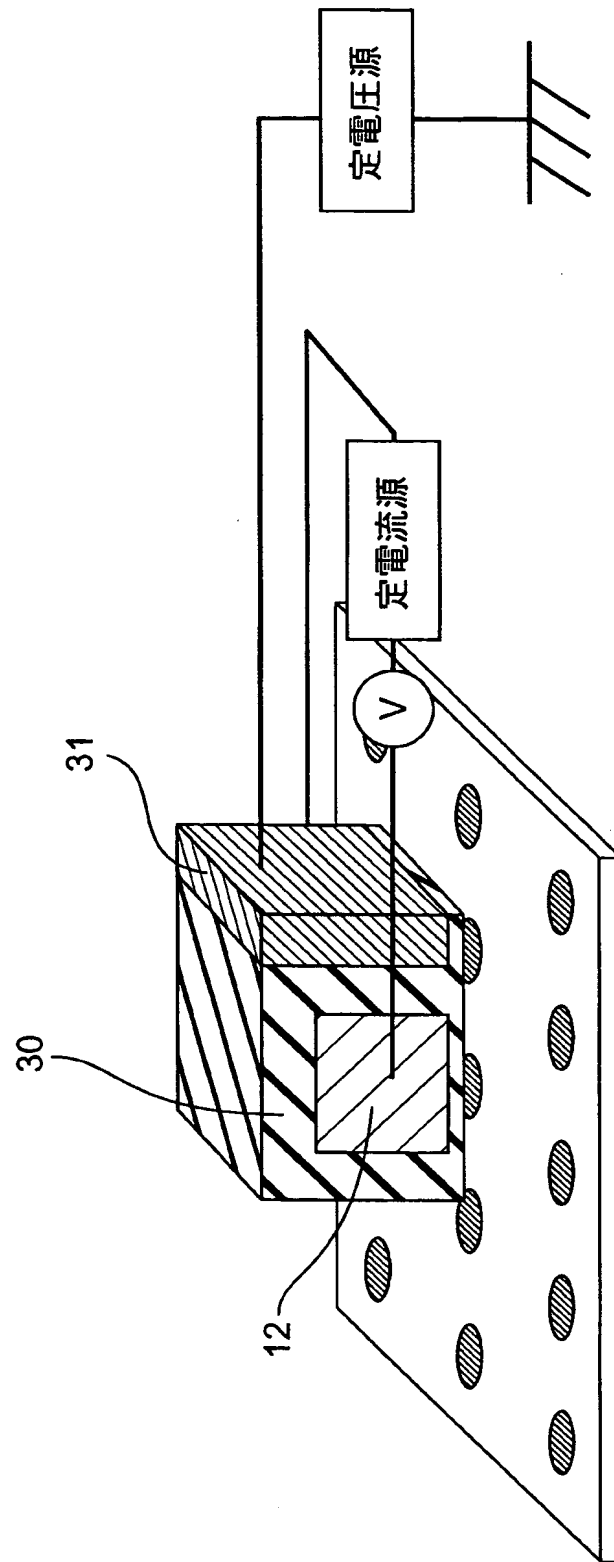
【図 11】



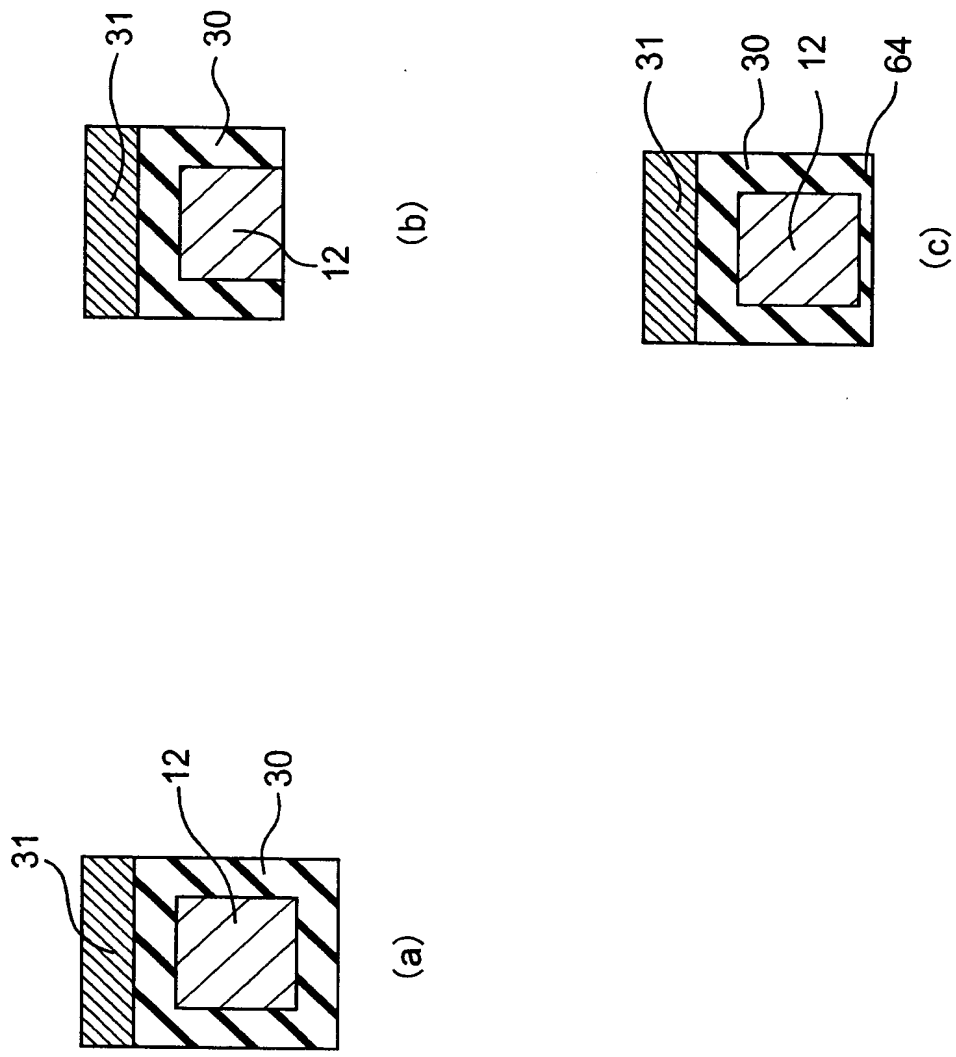
【図 1 2】



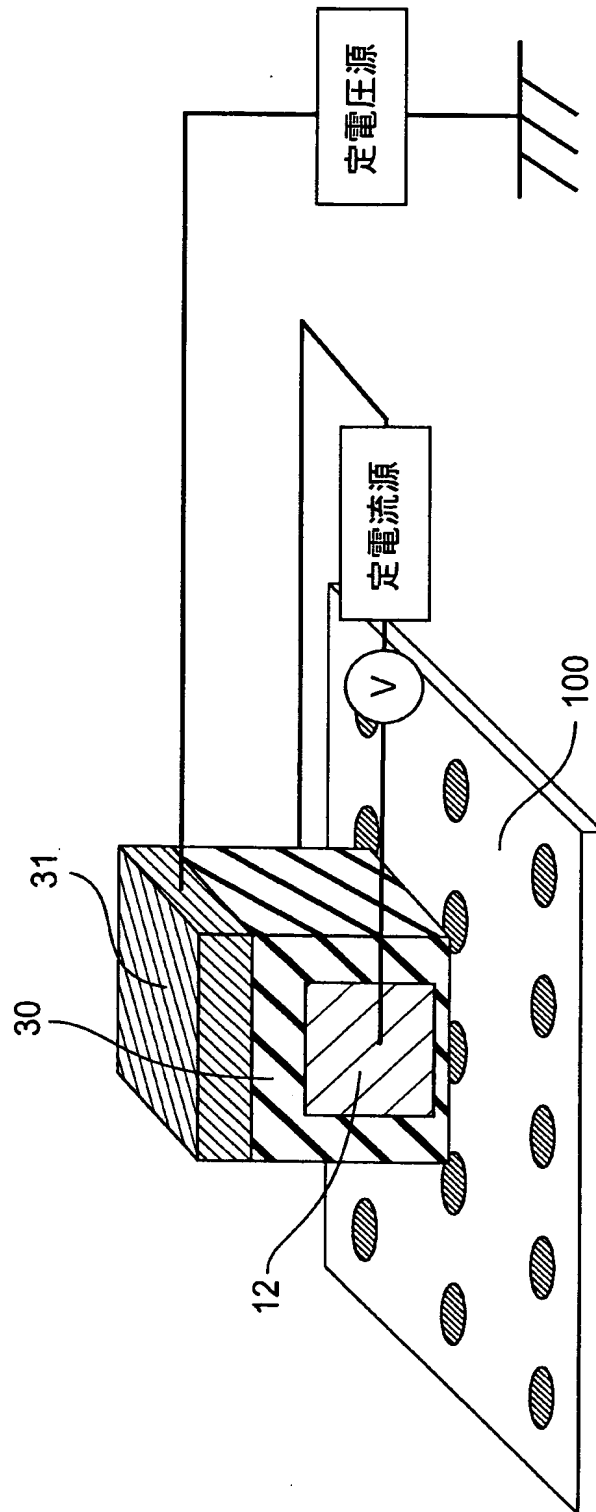
【図13】



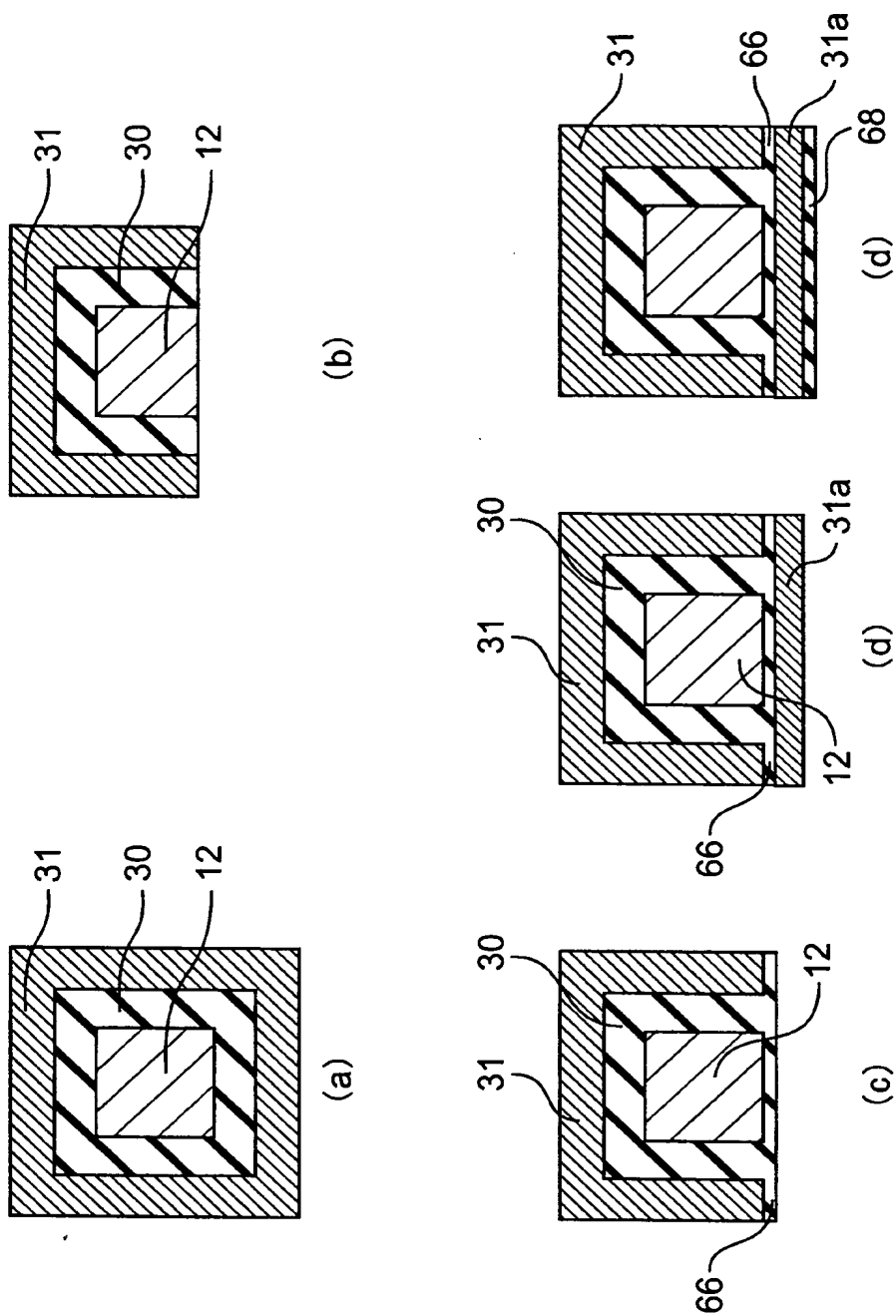
【図 1 4】



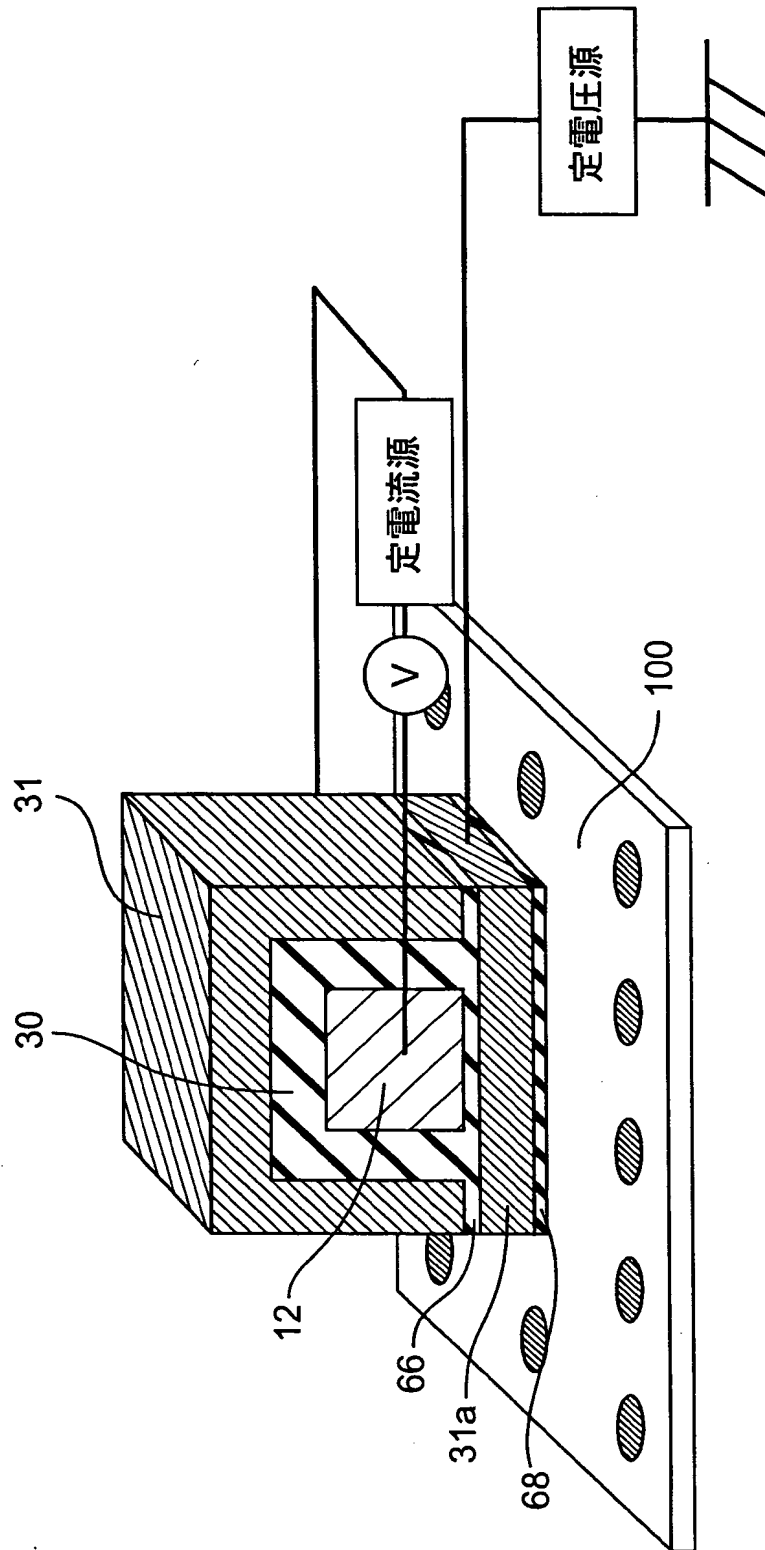
【図 1 5】



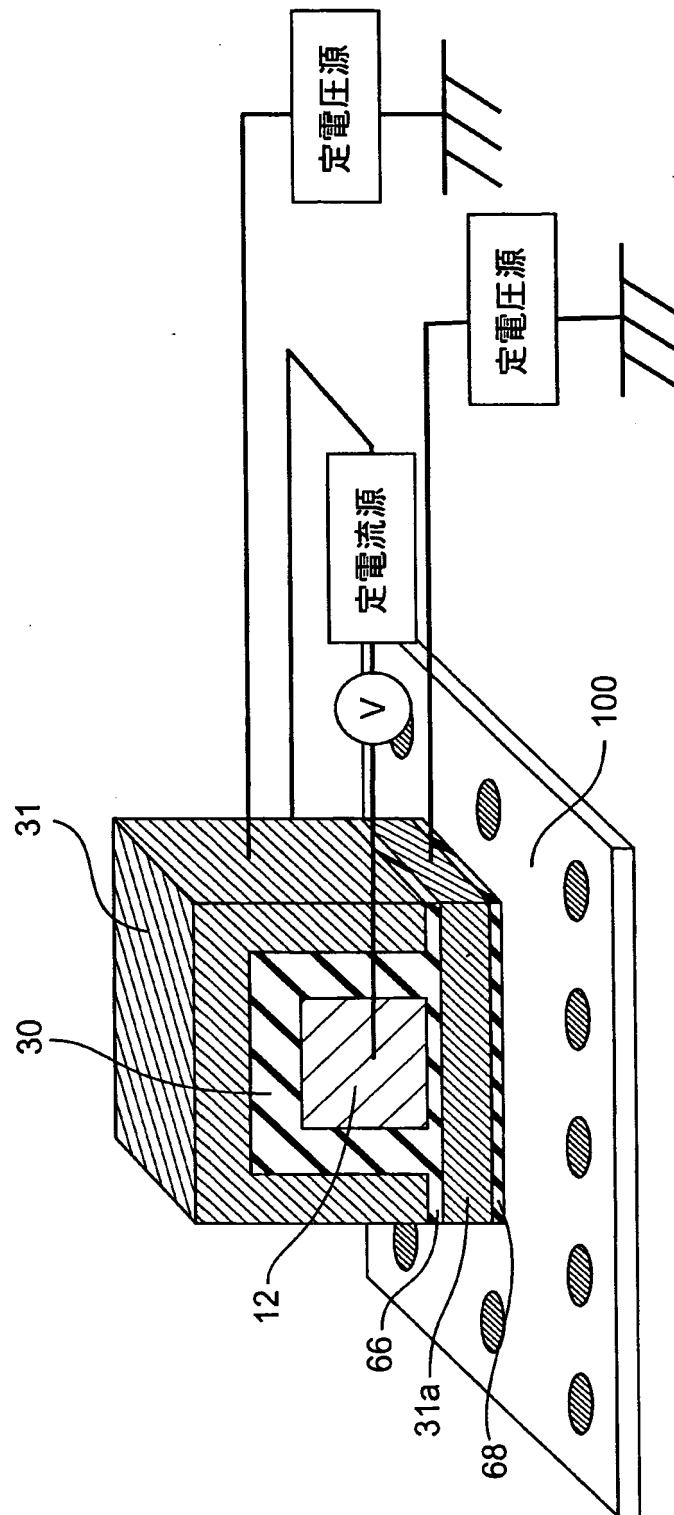
【図 16】



【図 17】



【図18】



【書類名】 要約書

【要約】

【課題】 微小なビット信号を高感度で検出することを可能にする。

【解決手段】 第 1 磁性体層 1 1 と、第 1 磁性体層に積層したスペーサ層 2 0 と、スペーサ層に積層した第 2 磁性体層 1 2 a と、第 1 磁性体層、スペーサ層、および第 2 磁性体層からなる積層構造に隣接する絶縁層 3 0 と、絶縁層に隣接するゲート電極 3 1 とを備え、ゲート電極に印加する電圧により磁気感応領域を制御する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日	2001年 7月 2日
[変更理由]	住所変更
住 所	東京都港区芝浦一丁目1番1号
氏 名	株式会社東芝